

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-300947

(43)Date of publication of application : 13.12.1990

(51)Int.Cl.

G06F 11/34

(21)Application number : 01-122461

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.05.1989

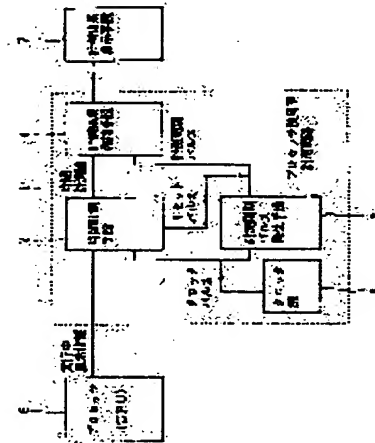
(72)Inventor : AWAJI TOSHIO

(54) CIRCUIT FOR MEASURING USING RATE OF PROCESSOR

(57)Abstract:

PURPOSE: To eliminate the necessity of a measurement program and to prevent the deterioration of the processing capacity of a processor owing to the measurement program by installing a time measurement means, a measurement period pulse generation means and a measured result holding means.

CONSTITUTION: The time measurement means 2 inputs active display information from the processor 6 and a clock pulse, counts the clock pulse so as to output a time measurement value while active display information is inputted. The measurement period pulse generation means 3 inputs and counts the clock pulse and outputs the measurement period pulse whenever the number of previously set times is counted. The measurement result holding means 4 inputs the time measurement value from the time measurement means 2, and the measurement period pulse from the measurement period pulse generation means 3, holds the inputted time measurement value and outputs it to a measured result display means 7 whenever the measurement period pulse is inputted. Thus, the using rate of the processor is measured without using the measurement program which brings the deterioration of the processing capacity of the processor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-300947

⑬ Int. Cl.⁵
G 06 F 11/34

識別記号 庁内整理番号
S 7343-5B

⑭ 公開 平成2年(1990)12月13日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 プロセッサ使用率計測回路

⑯ 特 願 平1-122461

⑰ 出 願 平1(1989)5月16日

⑱ 発 明 者 淡 路 俊 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

プロセッサ使用率計測回路

2. 特許請求の範囲

プロセッサ(6)より該プロセッサが処理実行中であることを表示する実行中表示情報、クロック源(5)よりクロックパルスを入力し、前記実行中表示情報が入力されている間、クロックパルスを計数して時間計測値を出力し、かつリセットパルスが入力されたときに計数値をリセットする時間計測手段(2)と、

前記クロック源(5)よりクロックパルスを入力して計数し、予め設定された回数を計数するごとに計測周期パルスとリセットパルスを出力する計測周期パルス発生手段(3)と、

前記時間計測手段(2)より時間計測値、計測周期パルス発生手段(3)より計測周期パルスを入力し、計測周期パルスが入力される都度、入力された時

間計測値を保持して計測結果表示手段(7)に出力する計測結果保持手段(4)を備え、

プロセッサの使用率を示す計測値を周期的に出力することを特徴とするプロセッサ使用率計測回路。

3. 発明の詳細な説明

(概 要)

プロセッサの使用率を計測する回路に関し、プロセッサの処理能力低下を招く測定用プログラムを使用することなくプロセッサの使用率を計測することを目的とし、

プロセッサより該プロセッサが処理実行中であることを表示する実行中表示情報、クロック源よりクロックパルスを入力し、前記実行中表示情報が入力されている間、クロックパルスを計数して時間計測値を出力し、かつリセットパルスが入力されたときに計数値をリセットする時間計測手段と、前記クロックパルス源よりクロックパルスを入力して計数し、予め設定された回数を計数する

ごとに計測周期パルスとリセットパルスを出力する計測周期パルス発生手段と、前記時間計測手段より時間計測値、計測周期パルス発生手段より計測周期パルスを入力し、計測周期パルスが入力される都度、入力された時間計測値を保持して計測結果表示手段に出力する計測結果保持手段を備え、プロセッサの使用率を示す計測値を周期的に出力するように構成する。

〔産業上の利用分野〕

本発明は、プロセッサの使用率を計測する回路に関する。

電子交換機等のオンライン・リアルタイム処理を行なうシステムにおいて、プロセッサの使用率を常時測定することはシステムの過負荷対策及び異常検出上、極めて重要である。

従来、プロセッサの使用率は、ソフトウェア処理によりシステムの状態を表示する表示パネルまたはオペレータ・コンソールに表示されているが、そのためにシステムを制御するソフトウェアがプ

ロセッサの実行状態を示すデータを収集して使用率を算出して記憶し、さらに記憶されたデータを表示装置に出力するという処理を行なっている。

ソフトウェア自身が走行するプロセッサの使用率を測定する場合、

① 測定用プログラムを必要とする

② 表示用プログラムを必要とする

などが条件となるほか、精度の高い測定を行なう場合は、測定用プログラム自身の処理のためにプロセッサ使用率が高くなると言う問題が生ずる。

このため、プロセッサの処理能力低下を招く測定用プログラムを使用せずにプロセッサの使用率が測定できるプロセッサ使用率計測回路が必要となっている。

〔従来の技術〕

第5図は従来方式の構成図、第6図は多重処理方式の概念説明図である。

第5図において、プロセッサ(CPU)21は命令制御部22の制御によって各種のプログラム処理

を行なっているが、一般にオンライン処理は多重処理により行なわれる。

第6図は上記の多重処理方式の概念を説明する図であり、図においてプログラムは優先順位の高いHレベルから順に、Lレベル、B(ベージャ)レベルと3種類の優先順位別に分類され、処理される。各プログラムは起動周期を有し、第6図に示すように、例えば8ms毎のインターバルタイマ(TI)割込みにより、先ずHレベルのプログラムが起動され、Hレベルの処理が終わると、Lレベル、Bレベルの処理が行なわれる。

また、多重処理方式のプロセッサは、運転状態として、RUN、HALT、STOPの3状態を有している。RUNはプログラム実行中であり、第6図においてHレベル、Lレベル及びBレベルのプログラムの実行中の状態がRUN状態である。また、HALT状態は処理の中断状態であり、ある周期においてBレベルの処理プログラム実行後、次のTI割込みまでの間がHALT状態となる。これに対してSTOPはプロセッサが停止中の状

態である。HALT状態とSTOP状態の違いは、STOP状態は割込みが発生してもプロセッサは停止状態のままであるが、HALT状態では割込みの受付が可能であり、TI割込み等の割込みが発生すると割込み処理の所定のアドレスよりプロセッサをRUNさせ、RUN状態へ移行する。RUN状態よりHALT状態への移行はHALT命令により行なわれ、HALT命令を実行するとプロセッサは割込み待ちの状態となる。第6図には以上の状態が示されている。

かかるプロセッサにおいて、プロセッサの使用率はプロセッサのRUN状態とHALT状態を合計した時間に対するRUN状態の時間の比率であり、プロセッサがハード的に有しているRUN状態表示回路の出力(以下、実行中表示情報と記す)を計測するか、プログラム処理においてRUN状態の時間をクロックを用いて計測することにより、正味の使用率の計測が可能である。

第5図においてプロセッサ21のインターバルタイマTIは図示省略されたクロックにより所定時

間（例えば8ms）を計数し、所定時間に至るとT1割込みを発生すると共に計数を0にリセットして再び計数を開始する。従来の方式においてはプログラムによって実行中の時間、即ち、RUN時間を計測しており、インターバルタイマT1によりプログラムが再開され、HALT命令が出されるまでの経過時間を算出し、それを累計することにより計測を行なっている。

測定用プログラムはHALT命令が出される直前に起動され、今回の8ms周期処理での正味RUN時間をインターバルタイマT1より読出し、レジスタREG₁に格納する。次いで、プログラムは主記憶装置23内の累積RUN時間メモリ24に記憶されている累積RUN時間データを読出してプロセッサ21内の他のレジスタREG₂に格納する。演算実行部ALUはレジスタREG₂に格納された累積RUN時間データをレジスタREG₁に格納されている前記RUN時間データに加算して累積RUN時間データを更新し、バッファレジスタBRとプロセッサバスを介して主記憶装置23

内の累積RUN時間メモリ24に記憶する。

該累積RUN時間メモリ24に記憶された累積RUN時間データは予め設定された周期毎に読出され、プロセッサバス及びデータチャネル装置DCHを介してディスプレイ装置またはプリンタ等の入出力装置I/Oに出力され、表示または印字される。

以上から明らかなように、従来の方式は上記処理を行なうために、RUN時間を計測するプログラム、RUN時間を累積して主記憶装置に記憶させるプログラム及び累積RUN時間データを入出力装置に出力するプログラムを作成する必要があり、また、上記の処理のためにプロセッサの処理時間が増加すると言う問題を有している。

〔発明が解決しようとする課題〕

以上説明したように、従来の方式においてはプロセッサの使用率を計測して表示するためのプログラムが必要であり、また、該プログラムの処理のためにプロセッサの処理能力が低下すると言う

問題を有していた。

本発明は、プロセッサの処理能力低下を招く測定用プログラムを使用することなくプロセッサの使用率を計測することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。

図中、1はプロセッサ使用率計測回路で、プロセッサより該プロセッサが動作中であることを表示する実行中表示情報を入力して計測し、プロセッサの使用率を周期的に出力する回路である。

2～5は前記プロセッサ使用率計測回路1を構成するものであり、2は時間計測手段で、プロセッサよりの前記実行中表示情報とクロックパルスを入力し、前記実行中表示情報が入力されている間、クロックパルスを計数して時間計測値を出力する手段、3は計測周期パルス発生手段で、前記クロックパルスを入力して計数し、予め設定された回数を計数するごとに計測周期パルスを出力する手段、4は計測結果保持手段で、前記時間計測

手段2より時間計測値、計測周期パルス発生手段3より計測周期パルスを入力し、計測周期パルスが入力される都度、入力された時間計測値を保持して出力する手段、5はクロック源で、前記時間計測手段2及び計測周期パルス発生手段3にクロックパルスを供給するものである。

また、6はプロセッサで使用率を計測する対象となるもの、7は計測結果表示手段で前記プロセッサ使用率計測回路1より出力される計測結果を表示するものである。

〔実施例〕

第2図は本発明の一実施例の構成図、第3図及び第4図は第2図の実施例を用いた応用例の構成図である。

第2図中、11はプロセッサ使用率計測回路、12～15はプロセッサ使用率計測回路の構成部分で、12は10進カウンタ(CNT)、13は100ms計数器、14はセーブレジスタ(REG)、15はクロック発振器である。また、16はプロセッサ(C

P U)、17は数字表示器である。

第2図においてプロセッサ16がプログラム実行中は命令制御部より実行中表示情報が出力(オン状態)されている。10進カウンタ12は該実行中表示情報をEN(カウントイネーブル)端子に、クロック発振器15よりの0.1msのクロックパルスをCLK端子に入力し、EN端子がオン状態のときにクロックパルスが入力するごとに+1を計数し、計数結果を $Q_0 \sim Q_{11}$ に出力する。入力クロックパルスが0.1msであるため、 $Q_0 \sim Q_3$ の4ビットが10進数の少数点以下の1桁、 $Q_4 \sim Q_7$ が単位の桁、 $Q_8 \sim Q_{11}$ が10位の桁をそれぞれ表示する。この10進カウンタ12の出力のうち、 $Q_0 \sim Q_{11}$ がセーブレジスタ13のD₀～D₁₁に出力され、 $Q_0 \sim Q_3$ は実用上必要性が低いため出力されない。

一方、100ms計数器13はクロック発振器15より0.1msのクロックパルスを入力して計数し、1000パルス、即ち、100ms計数するごとに出力パルスを送出する。該パルスがセーブレジ

スタ14のCLK端子に入力されると、該セーブレジスタ14はCLK端子にパルスが入力されたときの10進カウンタ12の出力 $Q_0 \sim Q_{11}$ を取込んで保持し、数字表示器17に $Q_0 \sim Q_3$ を出力する。数字表示器17に表示される値は100ms間におけるプロセッサ16の実行中表示情報のオン時間の累積値であるが、計測時間が100msであるため、使用率を%で示す値ともなる。

また、100ms計数器13の出力パルスは10進カウンタ12のRS(リセット)端子にリセットパルスとして入力されるため、該10進カウンタ12はリセットされ、改めて計測を開始する。即ち、計測は100ms単位で行なわれて表示される。

なお、以上の説明においてはクロックパルスを0.1ms、計測周期を100msとしたが、使用条件に応じて他の時間を用いても同様の効果が得られることは明らかであり、また計測周期が100以外の数値となる場合にセーブレジスタ14の出力値と計測周期の値より百分率を算出する手段を用いて使用率を表示することは容易に可能である。

また、数字表示器17の代わりに他の表示機器または印字機器を用いて表示または記録せしめることは周知の技術によって容易に実現可能である。本発明はこれらを排除するものではない。

第3図は第2図の実施例を用いた一応用例の構成図であり、複数のプロセッサCPU₁～CPU_nの個々の使用率を計測する例を示している。第3図中、第2図と同じものは同一記号を用い、18は選択器(スイッチ)である。

第3図において、複数のプロセッサCPU₁～CPU_nの個々の使用率を知ろうとする場合、システムの監視者は選択器18を操作して計測を行なうプロセッサとプロセッサ使用率計測回路11とを結合せしめて計測を実行する。選択器18によりプロセッサを順次切替えて計測すればすべてのプロセッサの使用率を知ることができ、プロセッサの平均使用率を求めたり、プロセッサ間の負荷の不均衡の有無を確認したりすることが可能となる。

第4図は第2図の実施例を用いた他の応用例の構成図であり、複数のプロセッサCPU₁～CPU_nを総合して評価する計測システムの例を示している。第4図中、第2図と同じものは同一記号を用い、19は評価回路である。

第4図においては複数のプロセッサCPU₁～CPU_nの一つごとにプロセッサ使用率計測回路11を使用し、複数のプロセッサ使用率計測回路11の出力を評価回路19に入力して評価を行なう。評価回路19の詳細は図示省略されているが、各プロセッサ使用率計測回路11の出力データを集計してシステムとしての使用率を算出したり、予め設定した値よりも大きな使用率を示すプロセッサが発生した場合に警報を発出したり、またプロセッサごとの使用率を比較して負荷の不均衡が予め設定した値よりも大きくなった場合に警報表示などを行なわせることが可能である。

(発明の効果)

以上説明したように、本発明によれば、従来の測定用プログラムが不要となり、測定用プログラムによるプロセッサの処理能力低下を防止するこ

とが可能となるほか、使用率を多様な形態で表示することが可能となり、かかるプロセッサ使用率計測回路の性能向上と計測システム作成の効率化に資するところが多い。

4. 図面の簡単な説明

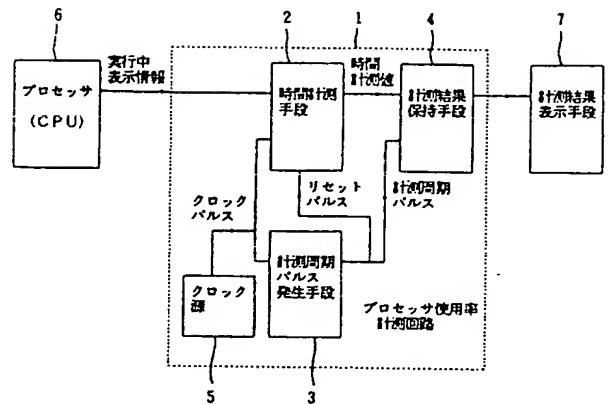
第1図は本発明の原理説明図、第2図は本発明の実施例構成図、第3図及び第4図は本発明実施例の応用例構成図、第5図は従来方式の構成図、第6図は多重処理方式の概念説明図である。

図中、

- 1 プロセッサ使用率計測回路
- 2 時間計測手段
- 3 計測周期パルス発生手段
- 4 計測結果保持手段
- 5 クロック源
- 6 プロセッサ
- 7 計測結果表示手段

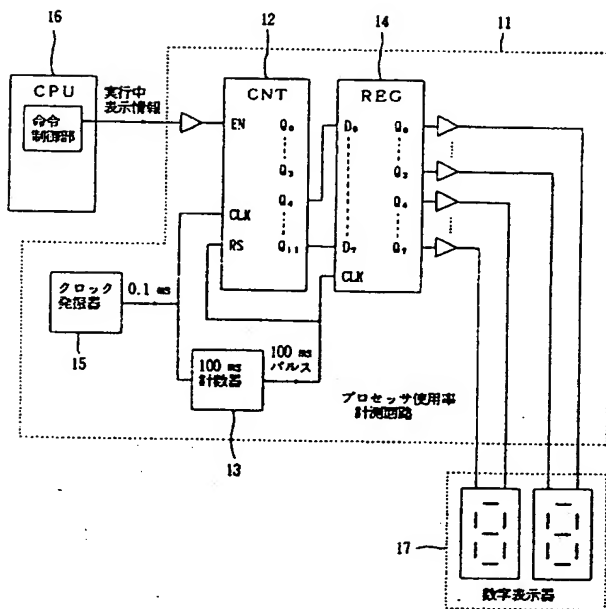
である。

代理人 弁理士 井 桁 貞 一



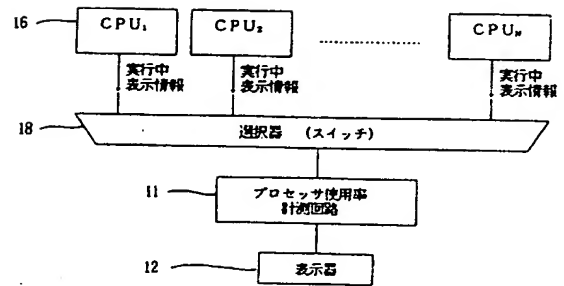
本発明の原理説明図

第 1 図



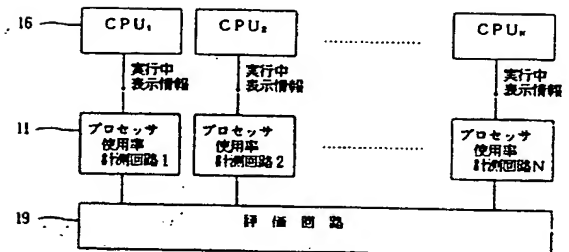
本発明の実施例構成図

第 2 図



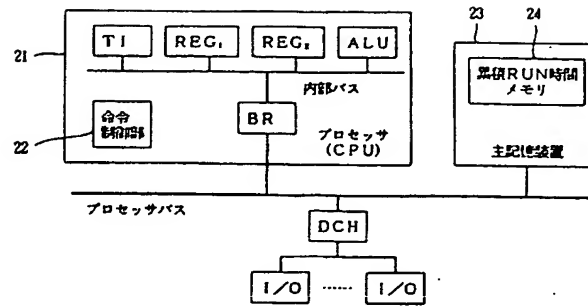
本発明の応用例構成図 (1)

第 3 図



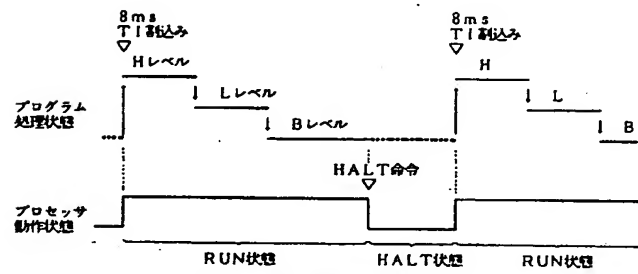
本発明の応用例構成図 (2)

第 4 図



従来方式の構成図

第 5 図



多重処理方式の概念説明図

第 6 図